

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

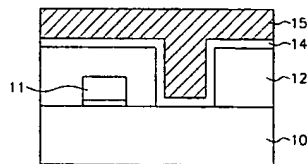
(11) Publication number: 1020020002991 A
(43) Publication date: 10.01.2002(21) Application number: 1020000037372
(22) Application date: 30.06.2000(71) Applicant: • HYNIX SEMICONDUCTOR INC.
(72) Inventor: • CHA, TAE HO
• CHO, HEUNG JAE
• PARK, DAE GYU
• SEO, YU SEOK

(51) Int. Cl: H01L 21/28

(54) METHOD FOR FORMING METAL LINE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for fabricating a metal line of a semiconductor device is provided to deposit an aluminium layer without a void by using a chemical vapor deposition method and an electroplating process.



CONSTITUTION: An interlayer insulating layer(12) is deposited on a semiconductor substrate including a gate electrode(11). A photoresist layer pattern is formed within the interlayer insulating layer(12). A contact hole is formed by performing an etch process. A Ti/TiN layer (14) as a diffusion barrier is deposited on an inside of the contact hole. An aluminium layer(15) is deposited on the Ti/TiN layer(14). The process for depositing an aluminium layer includes two processes. The aluminium layer(15) is deposited by using a chemical vapor deposition method. Next, the aluminium layer(15) is deposited by using an electroplating process.

copyright KIPO 2002

Legal Status

No.	Receipt/Delivery No.	Receipt/Delivery Date	Document Title (KOR.)	Status (KOR.)
1	1-1-2000-0136892-81	2000.06.30	Patent Application (특허출원서)	Acceptance (수리)
2	4-1-2000-0164549-84	2000.12.29	Notification of change of applicant's information (출원인정보변경(경정)신고서)	Acceptance (수리)
3	4-1-2001-0044747-71	2001.04.17	Notification of change of applicant's information (출원인정보변경(경정)신고서)	Acceptance (수리)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/28

(11) 공개번호 특2002- 0002991
(43) 공개일자 2002년01월10일

(21) 출원번호 10- 2000- 0037372
(22) 출원일자 2000년06월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136- 1

(72) 발명자 서유석
서울특별시영등포구여의도동광장아파트10동102호
박대규
경기도이천시부발읍신하리삼익아파트104동904호
차태호
경기도이천시부발읍고담리기숙사102동602호
조흥재
경기도의왕시오전동동백아파트103동1003호

(74) 대리인 강성배

심사청구 : 없음

(54) 반도체 소자의 금속배선 형성방법

요약

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로서, 특히, 콘택 플러그의 표면에서 동공(void)이 발생하는 것을 방지할 수 있는 반도체 소자의 금속배선 형성방법을 개시한다.

개시된 본 발명은 반도체 소자의 금속배선 형성방법에 있어서, 반도체 기판 또는 도전체에 절연막을 형성하는 단계; 상기 절연막 상부에 콘택홀 형성을 위한 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 식각 장벽으로 하여 반도체 기판 또는 도전체가 노출되도록 상기 절연막을 식각하여 콘택홀을 형성하는 단계; 상기 콘택홀 내부에 확산 방지막층을 형성하는 단계; 상기 확산 방지막층 상부에 CVD 방법을 통하여 알루미늄 합금을 증착하고, 연속해서, 일렉트로플레이팅 방법으로 상기 알루미늄 합금을 증착하여 금속 배선을 형성하는 단계를 포함하여 구성하는 것을 특징으로 한다.

대표도
도 1c

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 본 발명의 반도체 소자의 금속배선 형성방법을 설명하기 위한 단면도.

* 도면의 주요 부분에 대한 부호설명 *

10 : 반도체 기판 11 : 게이트 전극

12 : 층간 절연막 13 : 콘택홀

14 : 확산 방지막 15 : 알루미늄 합금

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 금속배선 형성방법에 관한 것으로서, 특히, 콘택 플러그의 표면에서 동공(void)이 발생하는 것을 방지할 수 있는 반도체 소자의 금속배선 형성방법에 관한 것이다.

일반적으로, 반도체 기판과 배선 사이, 또는, 상·하층 배선 사이를 전기적으로 연결하기 위한 접속 통로로서 콘택홀을 형성하고 있으며, 이러한 콘택홀을 매립하기 위한 금속 배선의 재료로는 전도도가 높고, 경제성이 있는 알루미늄 금속막 및 그의 합금이 주로 이용되고 있다.

그러나, 콘택홀의 크기가 감소함에 따라, 종래의 일반적인 PVD 방법으로는 콘택홀 내에 알루미늄 금속막을 완전히 매립시키지 못하기 때문에, 콘택 내부의 불연속적 증착은 최종 알루미늄 합금 증착 공정 후 콘택 내부에 동공(void)이 형성되어 금속 배선 신뢰성에 악영향을 주게 된다.

이에따라, 스텝 커버리지의 특성을 향상시키기 위하여 알루미늄 합금 증착시, CVD 공정을 수행하여 콘택 내부에 동공이 형성되는 것을 억제하여 콘택홀 내부에 알루미늄 합금을 증착한다.

발명이 이루고자 하는 기술적 과제

그러나, 종래의 반도체 소자의 금속배선 형성 방법에 있어서 다음과 같은 문제점이 있다.

콘택홀 내부에 CVD공정을 수행하여 상기 알루미늄 합금을 증착하면, 스텝 커버리지는 향상되나, 고온에서의 불완전한 열분해로 인하여 콘택홀 내부에 탄소와 산소와 같은 불순물들이 다량 함유되며, 표면 거칠기가 심하다.

따라서, 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, CVD 공정을 수행한 후, 연속해서 일렉트로플래이팅(Electroplating) 공정을 수행함으로써, 콘택 내부에서 알루미늄 합금의 불연속 증착 및 동공 형성을 방지할 수 있는 반도체 소자의 금속배선 형성 방법을 제공하는 데에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 문제점을 해결하기 위하여, 본 발명은 반도체 소자의 금속배선 형성방법에 있어서, 반도체 기판 또는 도전체에 절연막을 형성하는 단계; 상기 절연막 상부에 콘택홀 형성을 위한 감광막 패턴을 형성하는 단계; 상기 감광막 패턴

을 식각 장벽으로 하여 반도체 기판 또는 도전체가 노출되도록 상기 절연막을 식각하여 콘택홀을 형성하는 단계; 상기 콘택홀 내부에 확산 방지막층을 형성하는 단계; 상기 확산 방지막층 상부에 CVD 방법을 통하여 알루미늄 합금을 증착하고, 연속해서, 일렉트로플레이팅 방법으로 상기 알루미늄 합금을 증착하여 금속 배선을 형성하는 단계를 포함하여 구성하는 것을 특징으로 한다.

상기 CVD 공정을 이용한 알루미늄 합금 증착은 전구체인 $(\text{CH}_3)_3\text{Al}$ 을 이용하여 콘택홀 하부층에 50 ~ 500Å 의 두께로 증착한다.

그런다음, 상기 일렉트로플레이팅 공정에서 사용되는 증착용 수용액은 AlCl_3 400g/l + LiAlH_4 2g/l in Diethyl ether을 이용한다.

이 때, 상기 AlCl_3 의 농도는 바람직하게 100 ~ 500g/l 이고, LiAlH_4 의 농도는 1 ~ 50g/l 정도를 이용한다.

아울러, 상기 일렉트로플레이팅 공정에서의 증착온도는 10 ~ 300°C 범위내에서 전기 포텐셜은 50 ~ 500A/m² 을 인가하여 바람직하게 증착 두께가 2000 ~ 10000Å 의 범위내로 증착한다.

(실시예)

이하, 첨부한 도면을 참조하여 본 발명의 반도체 소자의 금속 배선 형성 방법을 상세히 설명한다.

도 1a를 참조하면, 게이트 전극(11)을 구비한 반도체 기판(10) 상부에 금속 배선의 콘택을 위한 층간 절연막(12)을 증착한다.

그 다음으로 도 1b를 참조하면, 상기 층간 절연막(12) 내에 콘택홀 형성영역을 한정하는 감광막 패턴(도시되지 않음)을 형성하고, 상기 감광막 패턴을 식각 장벽으로 하여 상기 반도체 기판(10)이 노출될 때까지 식각 공정을 수행함으로써 콘택홀(13)을 형성한다.

도 1c를 참조하면, 상기 콘택홀(13) 내부에 반도체 기판과 후속의 금속배선용 금속막과의 접촉 특성을 향상시키기 위하여 확산 방지막(14)용 Ti/TiN막을 증착한다. 그런다음, 상기 확산 방지막(14) 상부에 금속 배선용 금속막으로 알루미늄 합금(15)을 증착하는데, 제 2단계 방법으로 연속해서 증착한다. 먼저, 제1 단계 방법으로 화학 기상 증착(이하, CVD)을 이용하여 알루미늄 합금의 전구체로 $(\text{CH}_3)_3\text{Al}$ 을 사용함으로써, 증착 두께를 50 ~ 500Å 범위로하여 증착한다. 그런다음, 연속해서 제2 단계 방법으로 상기 결과물 상부에 일렉트로플레이팅(electroplating) 공정을 이용하여 바람직하게 2000 ~ 10000Å 의 두께로 알루미늄 합금을 증착한다. 여기서, 상기 일렉트로플레이팅 공정에서 사용되는 증착용 수용액은 AlCl_3 400g/l + LiAlH_4 2g/l in Diethyl ether을 이용한다. 이 때, 상기 AlCl_3 의 농도는 바람직하게 100 ~ 500g/l 이고, LiAlH_4 의 농도는 1 ~ 50g/l 정도를 사용한다. 아울러, 상기 일렉트로플레이팅 공정에서의 증착온도는 10 ~ 300°C 범위내에서 전기 포텐셜은 50 ~ 500A/m² 을 인가하여 알루미늄 합금(15)을 증착한다.

즉, 상기 금속배선 형성시, 비교적 저온 범위에서 CVD 공정을 수행하여 제1차 알루미늄 합금을 증착하고, 연속해서 일렉트로플레이팅 공정으로 제2 차 알루미늄 합금을 증착하여 초고집적 반도체 소자의 금속배선 형성 공정 적용시 콘택홀의 매립이 용이하여 소자 특성 및 신뢰성 향상시킨다.

발명의 효과

이상에서 자세히 설명한 바와같이, 본 발명의 반도체 소자의 금속배선 형성방법에 있어서, 반도체 기판과 배선 사이, 또는, 상· 하층 배선 사이를 전기적으로 연결하기 위한 접속 통로로서 콘택홀을 형성한 다음, 상기 콘택홀 내에 CVD를 이용하여 제1 차 알루미늄 합금을 증착하고, 연속해서 일렉트로플레이팅 공정을 적용하여 제2 차 알루미늄 합금을 증착함으로써, 기존의 PVD 공정의 스텝 커버리지 문제와 CVD 공정을 이용하여 알루미늄 증착시 탄소나 산소와 같은 불순물 함유 문제를 해결하여 반도체 소자의 금속 배선 형성 공정시 콘택 저항을 감소시켜 반도체 소자 특성 및 신뢰성이 향

상되는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 소자의 금속배선 형성방법에 있어서, 반도체 기판 또는 도전체에 절연막을 형성하는 단계;

상기 절연막 상부에 콘택홀 형성을 위한 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 식각 장벽으로 하여 반도체 기판 또는 도전체가 노출되도록 상기 절연막을 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀 내부에 확산 방지막층을 형성하는 단계; 및

상기 확산 방지막층 상부에 CVD 방법을 통하여 알루미늄 합금을 증착하고, 연속해서, 일렉트로플레이팅 방법으로 상기 알루미늄 합금을 증착하여 금속 배선을 형성하는 단계를 포함하여 구성하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 2.

제 1항에 있어서, 상기 CVD 공정을 이용한 알루미늄 합금 증착은 전구체인 $(CH_3)_3Al$ 을 이용하여 콘택홀 하부층에 50 ~ 500Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 3.

제 1항에 있어서, 상기 일렉트로플레이팅 공정에서 사용되는 증착용 수용액은 $AlCl_3$ 400g/l + $LiAlH_4$ 2g/l in Diethyl ether을 이용하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 4.

제 3항에 있어서, 상기 $AlCl_3$ 의 농도는 바람직하게 100 ~ 500g/l 정도인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 5.

제 3항에 있어서, 상기 $LiAlH_4$ 의 농도는 바람직하게 1 ~ 50g/l 정도인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

청구항 6.

제 1항에 있어서, 상기 일렉트로플레이팅 공정으로 알루미늄 합금 증착시, 증착온도는 10 ~ 300°C 범위내에서 수행하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

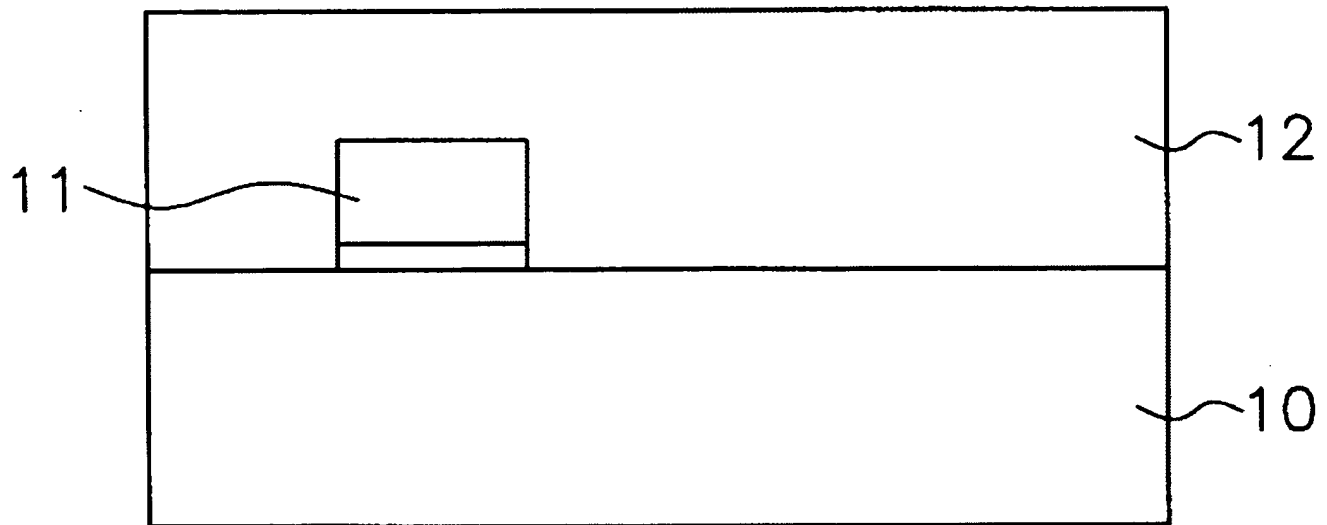
청구항 7.

제 1항에 있어서, 상기 일렉트로플레이팅 공정으로 알루미늄 합금 증착시, 전기 포텐셜은 50 ~ 500A/m²을 인가하여 증착하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

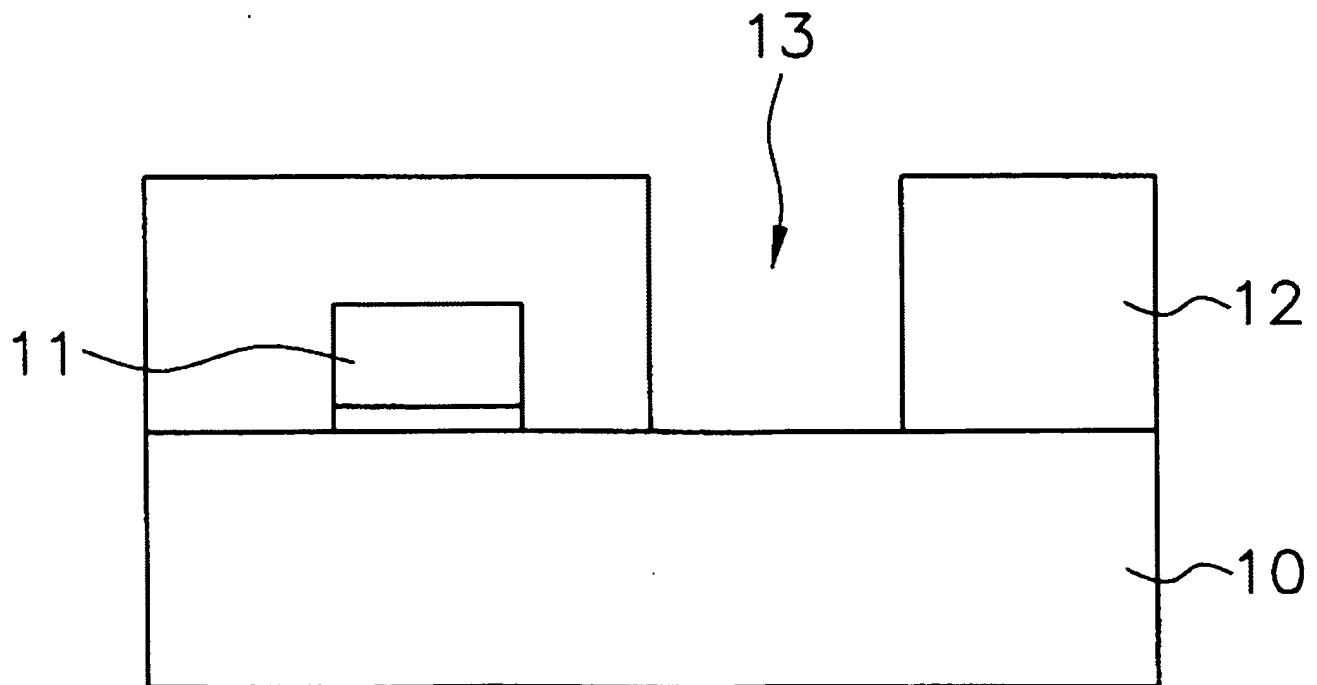
청구항 8. .

제 1항에 있어서, 상기 입렉트로플레이팅 공정으로 알루미늄 합금 증착시, 바람직하게 증착 두께가 2000 ~ 10000Å의 범위내로 증착하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

도면 1a



도면 1b



도면 1c

